

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-60734

⑬ Int.Cl.⁴

H 01 L 21/76
21/20
27/12

識別記号

庁内整理番号

D-8122-5F
7739-5F
8122-5F

⑬ 公開 昭和60年(1985)4月8日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭58-169655

⑯ 出 願 昭58(1983)9月14日

⑰ 発 明 者 矢 野 政 文 門真市大字門真1006番地 松下電子工業株式会社内
⑱ 出 願 人 松下電子工業株式会社 門真市大字門真1006番地
⑲ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

シリコン基板上に、 $MgO \cdot Al_2O_3$ 層を形成する工程と、上記 $MgO \cdot Al_2O_3$ 層に、静もしくは窪み部を形成する工程と前記静もしくは窪み部に、シリコンの活性領域を形成する工程とをそなえた半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、半導体集積回路における素子間分離の方法、詳しくは高集積化に有効な半導体活性領域ならびに素子間分離領域の形成方法に関する。

従来例の構成とその問題点

従来、シリコン基板上に酸化膜を形成し、この酸化膜をパターンニング後、その開孔部シリコン基板上に、選択的にエピタキシャル層を形成して、素子間分離を行う方式が広く用いられている。従来例を、第1図a～dの工程断面図により以

下説明を行う。

まず、第1図aに示すように、シリコン基板1上に熱酸化により酸化膜2を形成し、その後、感光性膜3を用い分離パターンを形成する。続いて上記パターンより、酸化膜2をエッチングし、開孔部4を形成する。つぎに、感光性膜3を除去し、第1図bに示すように、窒化シリコン膜5を全面に形成する。その後異方性ドライエッチング法により、上記窒化シリコン膜5をエッチングし、第1図cに示すように、酸化膜2の側面6のみ、上記窒化シリコン膜5を残す。最後に、シリコンの選択エピタキシャル成長法により、上記酸化膜2の厚さとエピタキシャル層6の厚さが等しくなるまで結晶成長を行えば、第1図dに示すように、素子形成用活性領域7および素子分離絶縁領域8が形成される。

しかしながら、上記方法により、素子間分離を行った場合、つぎのような問題点がある。

まず、第1図dに示すように、選択成長したエピタキシャル層8の側面は、窒化シリコン膜5'と

接している。そのため、この界面での結晶性が悪く、デバイスを形成した場合、リーク発生の原因となる可能性が非常に高い。

また、第1図cに示すように、パターンニングした酸化膜2の側面に、窒化シリコン膜6'を形成するため、素子形成用活性領域7の幅が、窒化シリコン膜6'の膜厚の2倍分だけ狭くなり、高集積化に対して、不利となる。

発明の目的

本発明は、上記問題点を解決するもので、素子形成領域を誘電体によって完全に分離する半導体装置の製造方法を提供するものである。

発明の構成

本発明は、シリコン基板上に成長させた $MgO \cdot Al_2O_3$ エピタキシャル絶縁膜に、もしくは窪み部を形成し、上記溝もしくは窪み部に、シリコンをエピタキシャル成長させて素子形成用活性領域を形成するものである。これにより、おのおのの素子形成用活性領域は、周囲をすべて、 $MgO \cdot Al_2O_3$ エピタキシャル絶縁膜で囲まれ、完全に

分離されているため、デバイスを形成した場合、寄生容量が少なく、高速動作デバイスとして非常に有利である。

実施例の説明

以下本発明の実施例を用いて、本発明を具体的に詳述する。第2図a~dは、本発明を用いて、素子間分離を行った実施例の工程断面図である。

まず、第2図aに示すように、(100)のシリコン基板1上に、厚さ3 μm の(100)の $MgO \cdot Al_2O_3$ エピタキシャル絶縁膜9を成長させる。

なお、 $MgO \cdot Al_2O_3$ エピタキシャル絶縁膜9の成長は、気相エピタキシャル法により行ない、反応ガスには、 $AlCl_3$ (気体)、 $MgCl_2$ (気体)、 CO_2 (気体)、 H_2 (気体)を用い、シリコンの基板温度が850~1000℃の条件で行った。成長した $MgO \cdot Al_2O_3$ エピタキシャル絶縁膜9は、X線により測定した格子定数が、0.808~0.790nmであり、 MgO と Al_2O_3 のX線マイクロアナライザーにより測定した組成比は約0.7

であった。また、絶縁耐圧および、比誘電率はそれぞれ、4~8 $\times 10^4 V/cm$ 、7.6~8.0であった。つぎに、上記 $MgO \cdot Al_2O_3$ エピタキシャル絶縁膜9上にCVD法により、厚さ5000Åの酸化膜10を形成し、感光性膜3により分離パターンを形成後、上記パターンを用い、第2図bに示すように、酸化膜10および $MgO \cdot Al_2O_3$ エピタキシャル絶縁膜9をスパッタエッチングにより、連続してエッチングを行い、溝11を形成する。 $MgO \cdot Al_2O_3$ エピタキシャル絶縁膜9は2 μm エッチングする。その後、感光性膜3を除去する。

つぎに、第2図cに示すように、 $MgO \cdot Al_2O_3$ エピタキシャル絶縁膜9に形成した溝11に、シリコンのエピタキシャル層8を選択的に成長させる。エピタキシャル層8は、 $MgO \cdot Al_2O_3$ エピタキシャル絶縁膜9と同じ高さになるまで成長させる。

最後に、 $MgO \cdot Al_2O_3$ エピタキシャル絶縁膜9上の酸化膜10を除去し、第2図dに示すよう

に、素子形成用活性領域7および素子分離領域8を形成する。

なお、溝11の形状は、比較的短小な形状の窪み部であってもよい。

発明の効果

本発明によれば、素子形成領域が、 $MgO \cdot Al_2O_3$ エピタキシャル絶縁膜に形成した溝もしくは窪み部に形成されるため、おのおのの素子形成用活性領域は、完全に誘電体で分離されている。そのため、寄生容量が少なく、高速動作デバイスの形成に有利である。

また、単結晶の $MgO \cdot Al_2O_3$ エピタキシャル絶縁膜に形成した溝もしくは窪み部にシリコンのエピタキシャル層を形成するため、素子形成領域と素子分離領域との境界部の結晶性が良好である。

さらに、素子形成用活性領域を、感光性膜によるパターンに忠実に形成できるため、微細化、高集積化を必要とする超LSIのプロセスへの適用に、極めて有効である。

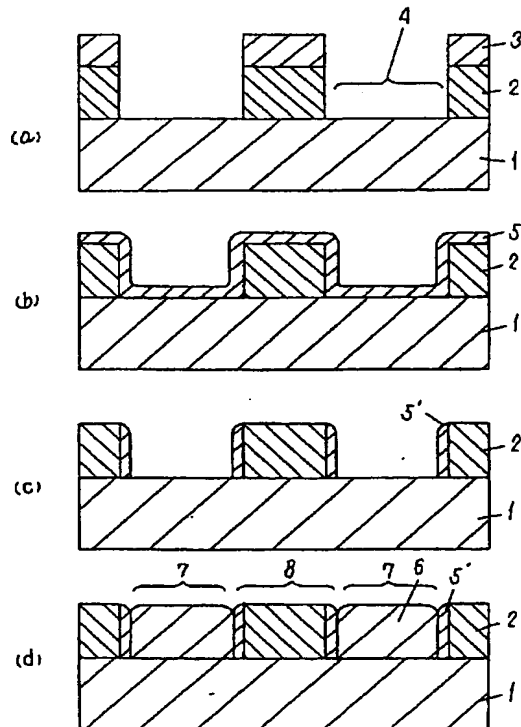
4. 図面の簡単な説明

第1図a~dは従来の方法を示す工程順断面図、
第2図a~dは、本発明の実施例を説明するため
の製造工程を示す工程順断面図である。

1……シリコン基板、3……感光性膜、6……
シリコンエピタキシャル層、7……素子形成領域、
8……素子分離領域、9…… $\text{MgO} \cdot \text{Al}_2\text{O}_3$ エピ
タキシャル絶縁膜、10……酸化膜、11……溝。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 1 図



第 2 図

